

DOI: 10.7652/xjtuxb202002020

稳态视觉诱发电位脑机接口的 现场可编程逻辑门阵列实现

张彦军, 谢俊, 薛涛, 曹国智, 徐光华, 李敏

(西安交通大学机械工程学院, 710049, 西安)

摘要: 针对稳态视觉诱发电位(SSVEP)脑机接口(BCI)系统对计算机性能要求较高的问题,提出一种以现场可编程门阵列(FPGA)和商用脑电采集设备为核心的 SSVEP-BCI 系统。该系统通过 FPGA 独立的显示模块,实现了视频图形矩阵(VGA)接口的控制;按照显示刷新帧的方式分配闪烁频率对应的范式图案,实现了诱发 SSVEP 信号所需范式的稳定显示。通过实验对所设计的 VGA 视觉刺激器光闪烁频率进行采集分析可知,视觉刺激器范式显示频率与所设计的频率基本一致,可用于 SSVEP 诱发实验。结合所设计的视觉刺激器,完成了基于 FPGA 的脑电信号处理和特征识别。设计方案使用串口将脑电信号传输到 FPGA 端,采用快速傅里叶变换分析频率成分,对视觉刺激器对应的频率进行分析比较,最终通过实验对系统进行验证。结果表明:设计的系统在 4 个刺激目标和单次实验时长 2 s 的情况下,实现了平均 85.25% 的识别正确率,表明系统能够实现 SSVEP 信号的诱发和有效识别,并且能够达到较好的效果。

关键词: 稳态视觉诱发电位;脑机接口;现场可编程门阵列;数据处理;特征识别

中图分类号: TP23 **文献标志码:** A **文章编号:** 0253-987X(2020)02-0158-08

Implementation of Steady-State Visual Evoked Potential BCI System Based on Field Programmable Gate Array

ZHANG Yanjun, XIE Jun, XUE Tao, CAO Guozhi, XU Guanghua, LI Min

(School of Mechanical Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: To solve the problem that the steady-state visual evoked potential (SSVEP) brain-computer interface (BCI) system requires high computer performance, a SSVEP BCI system based on field programmable gate array (FPGA) and commercial electroencephalogram (EEG) acquisition device is designed by an independent display module based on FPGA. This system realizes the control of video graphics array (VGA) interface. The paradigm patterns corresponding to different flicker frequencies are allocated according to the displaying refresh frames, and the stable display of the paradigm required to induce SSVEP signals can be achieved. Collecting and analyzing the flicker outputs of the designed VGA visual stimulator, the presenting frequencies from the visual stimulator are approximately equal to the required frequencies and can be used for SSVEP BCI experiments. Combined with the designed visual stimulator, the FPGA based EEG signal processing and feature recognition are also implemented in this approach. EEG signals are transmitted to the FPGA end via the serial port, and fast

收稿日期: 2019-07-24。 作者简介: 张彦军(1994—),男,硕士生;谢俊(通信作者),男,副教授。 基金项目: 国家自然科学基金资助项目(61503298)。

网络出版时间: 2019-09-10

网络出版地址: <http://kns.cnki.net/kcms/detail/61.1069.T.20190910.1323.004.html>

Fourier transform (FFT) is used to analyze the frequency components, and these frequency components are then compared with the presenting frequencies from the visual stimulator. The overall system is verified by experiments. It is revealed that the SSVEP BCI system based on FPGA achieves an average recognition accuracy of 85.25% in the case of four stimulus targets and two seconds of single-trial time window. The proposed system can induce and recognize SSVEP signals effectively and achieve satisfactory recognition results.

Keywords: steady-state visual evoked potential; brain-computer interface; field programmable gate array; data processing; feature recognition

脑-机接口(BCI)通过采集和分析大脑相关活动,建立一种大脑和外部设备之间可以交互并可靠通信的通道^[1]。常见BCI系统通常由信号采集、预处理、特征提取、分类和指令翻译等过程组成^[2],并且BCI可以为相关控制系统提供控制信号^[3]。随着BCI技术的不断发展,其在医疗、康复及娱乐等领域得到广泛的应用^[4-8]。

虽然BCI目前在很多领域已经有了较大的发展,但是人类对于BCI的研究大多还处在实验室阶段^[9]。目前,对于脑电信号的处理多基于计算机软件完成,还存在数据量大及处理方式复杂等特点,在脑电信号被发现的很长一段时间内,BCI的发展都比较缓慢^[10]。由于现场可编程门阵列(FPGA)具有硬件并行的特征,其在数据处理方面具有明显的优势^[11],这与脑电信号运算量大、实时性要求较高等^[12-13]需求契合。

文献[14]研究了基于FPGA(芯片型号为Cyclone II EP2C35F672)的BCI实时系统,该系统基于瞬态视觉诱发电位,包含脑电采集电路、视觉刺激器以及瞬态诱发电位提取和特征识别等模块,通过有源电极和右腿驱动电路实现了脑电信号的采集,并通过视觉刺激器诱发瞬态视觉脑电信号,最终通过累加平均和FIR滤波,提取脑电信号并通过模板匹配识别。文献[15]开发了基于FPGA的大脑皮层脑电信号预处理和特征识别平台,主要实现了脑电信号噪声干扰的去除以及脑电信号的多特征识别。同时,利用大脑皮层脑电信号的低带宽特性开发了一种多路复用架构,通过多路复用的方式复用每个基本特征提取模块,克服了医疗信号处理芯片一次只能提取单一类型特征的难题。最终在Virtex 7系列FPGA上完成了包括离散小波变换(DWT)、功率谱密度(PSD)和频带能量算法等的实现。除上述实例外,基于FPGA的脑电信号处理案例还有文献[16]设计的低成本多媒体控制系统。在FPGA上实现脑电信号的处理是一个新的主题,在代替计

算机软件进行脑电信号的处理等方面具有很大的优势。

当对人体施加固定频率的视觉刺激时,在视觉皮层会产生一个连续的与刺激频率同频的稳态响应^[17],即稳态视觉诱发电位(SSVEP)信号。与P300事件相关电位、事件相关同步电位(ERS)、事件相关去同步电位(ERD)等相比较,基于SSVEP的BCI具有信息传输率高、抗干扰能力强等优点^[18],且识别正确率较高,常用于脑-机交互应用。文献[19]设计的基于眼动跟踪和SSVEP的混合拼写应用,使超过90%的用户实现了可靠的控制,文献[20]提出的基于高频SSVEP的BCI和基于计算机视觉的目标识别相结合的新型控制方法,用于控制多自由度机械臂执行拾取和放置任务。

基于SSVEP信号的BCI系统,首先需要产生稳定频率的视觉刺激,此过程受硬件性能等因素影响,容易产生“掉帧”等现象,导致计算机视觉刺激显示的频率不稳定和不准确;另外,复杂的脑电信号的识别算法会占据一定的系统运行时间,从而降低BCI系统的实时性。

针对上述问题,考虑FPGA并行优势,本文设计了一套基于FPGA的SSVEP信号诱发及处理的系统,将计算机端SSVEP刺激诱发的范式显示和数据处理识别过程使用FPGA实现,以获得更稳定的SSVEP-BCI系统性能。

1 系统组成及工作原理

1.1 系统总体方案设计

本文按照视觉诱发脑电信号的诱发和处理方式,提供了一种以FPGA刺激范式生成和脑电信号处理为核心的BCI实现方案。图1为系统总体框架,其中诱发信号阶段通过FPGA编程控制视觉刺激器产生视觉诱发刺激范式,并通过传输控制指令实现视觉刺激范式显示的开始和结束控制;信号采集阶段采用脑电帽和脑电信号放大器(型号g. US-

Bamp 2.0)对脑电信号进行采集;信号预处理阶段考虑到脑电信号是一种生物电信号,具有微弱、信噪比低以及随机性强等特点^[21],因而对脑电信号进行了滤波、放大处理,本文为方便FPGA对信号的接收及处理,在信号预处理阶段将脑电信号转化为易于FPGA运算的定点数;信号传输阶段实现了EEG信号和视觉刺激开始和结束控制指令从计算机到FPGA的传输;信号处理阶段则在FPGA端实现对脑电信号的处理及特征识别。

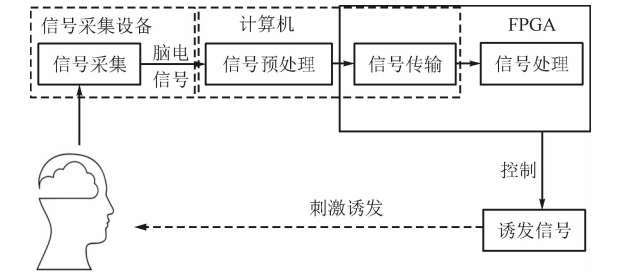


图1 系统总体框架

1.2 基于FPGA的稳态视觉刺激器设计

SSVEP信号的产生需要对人体施加一个固定频率的视觉刺激,本文通过FPGA控制显示器,实现对诱发SSVEP信号的视觉刺激单元的控制。通过对视觉诱发刺激条件的分析,本文选用联想LT2252wD型显示器作为本文的视觉刺激器,分辨率为 $1\,680\times1\,050$ 像素,刷新率为60 Hz,按照视频图形阵列(VGA)时序标准选择视频驱动时钟为147 MHz。如图2所示,以显示屏左上角顶点为原点建立坐标系,记X和Y方向分别为行和场方向,行和场方向的扫描过程按照时序可分为同步脉冲、后沿脉冲、显示脉冲和前沿脉冲4个阶段。图2中行方向4个阶段分别对应行同步时间(HST)、行后沿(HBP)、行有效时间(HVT)和行前沿(HFP);场方向分别对应场同步时间(VST)、场后沿(VBP)、场有效时间(VVT)和场前沿(VFP)。各个阶段时序参数如表1所示。VGA接口主要传输行同步信号、场同步信号和3条彩色电压传输信号。彩色信号的同步过程由行同步信号和场同步信号协调完成,最终在显示器上实现按图3分布的4个红、黑闪烁矩形刺激单元(为方便后续介绍,编号为1、2、3和4)

表1 驱动时序参数表					像素
行,场	同步脉冲	后沿脉冲	显示脉冲	前沿脉冲	帧长
场	3	33	1 050	1	1 087
行	184	288	1 680	104	2 256

的控制。稳态视觉刺激器模块产生刺激信号的流程如图4所示,主要实现流程如下。

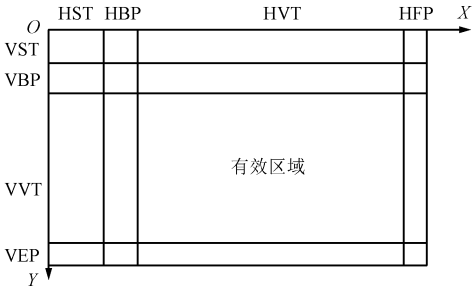


图2 有效显示区域

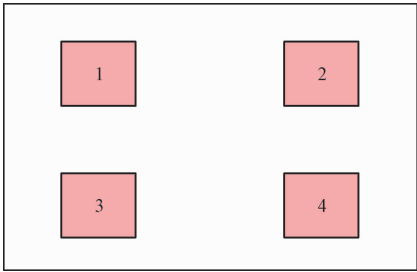


图3 刺激目标分布示意图

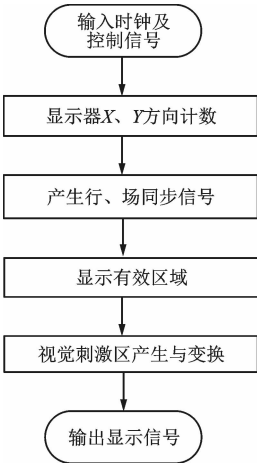


图4 VGA视觉刺激模块流程图

- (1)输入分辨率和刷新率对应的视频驱动时钟。将显示分辨率对应的视频驱动时钟及串口显示控制信号添加到刺激单元生成模块。
- (2)通过视频驱动时钟产生行方向和场方向扫描信号。在显示器的X和Y方向,通过视频驱动时钟上升沿驱动计数产生扫描信号,X方向计数最大值为表1中行向帧长,在Y方向判断Y向计数值在不超过列向帧长的情况下,在X向计数值每达到一次最大值时,将Y方向计数值进行加一操作。
- (3)行、场同步信号的产生。在X方向计数过程中,每行的起始位置将行同步信号拉高表1中行同步脉冲个扫描单位,产生行同步逻辑信号输出,其

中扫描单位在行方向为视频驱动时钟周期,在场方向为扫描一行所用的视频驱动时钟周期之和。通过同样的方式在Y方向计数过程中,按照场同步脉冲产生场同步逻辑信号输出。

(4)显示有效区域的产生。与行、场同步信号产生方式一致,如图2所示,当X、Y向完成同步信号生成后,X向计数或Y向计数在行方向或场方向计数后沿脉冲个扫描单位,进入有效显示区域,有效显示区域为 $1\,680 \times 1\,050$ 像素。当X、Y方向有效显示区域计数结束后,计数前沿脉冲个扫描单位完成一帧显示数据的扫描。

(5)视觉刺激单元颜色产生与变换。在图2所示的有效显示区域中,要产生视觉刺激器需要的显示效果,则需在特定的视频显示时钟上升沿将屏幕上确定位置的扫描点进行颜色翻转。本文通过Verilog HDL编程实现如图3所示的4个刺激目标的控制,为获得更稳定的显示频率和更好的刺激效果,刺激闪烁图像由按照显示数据帧方式进行红、黑翻转的矩形产生,背景颜色设置为黑色。考虑到本次使用的显示屏刷新率为60 Hz、适合稳态视觉刺激的频率为7~15 Hz^[22]以及每次数据帧需能够完整显示等条件,选择4个目标的闪烁频率分别为8.57、10、12和15 Hz,完成单次翻转需要的帧数分别为7、6、5和4。由于在闪烁刺激过程中,较低的占空比容易造成视觉疲劳^[23],在本设计中设置红色与黑色矩形块之间的占空比分别为57.14%、50%、60%和50%。其次,为方便特征识别结果的显示,在两次刺激的间隔期显示特征识别结果。

本文设计的视觉刺激器可以实现两种类型的显示,即视觉刺激单元显示和识别结果显示,两类显示之间通过串口发送指令进行切换。视觉刺激单元显示效果如图5所示;识别结果的显示主要用于显示脑电信号处理后所识别的刺激单元编号,图6所示为识别到刺激单元1时的显示效果。

1.3 基于FPGA的脑电信号处理

本文使用g.USBamp 2.0型脑电放大器将脑电信号采集到计算机端,然后在计算机端将脑电信号预处理后发送到FPGA端进行数据特征识别。脑电信号采用单极方式测量,电极按照国际标准导联10/20系统放置,如图7所示,其中测量电极安放在枕区 O_z 位置,地电极安放在前额 F_{pz} 位置,参考电极安放在单侧耳垂 A_1 或 A_2 位置^[17]。将脑电信号通过串口实时发送到FPGA端进行特征识别,本文对SSVEP信号主要分析其频域特征。

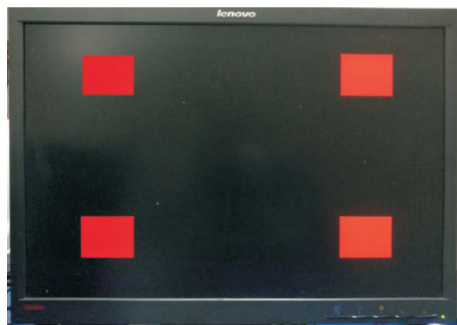


图5 视觉刺激单元显示



图6 特征识别结果显示

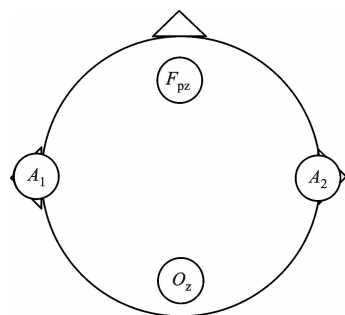


图7 电极安放位置图

在计算机端通过脑电采集设备获得的数据常用浮点型表示,而在FPGA中较为节省资源的处理方式定点型操作,因而本文通过MATLAB将脑电数据圆整后转换为16位二进制补码形式,此过程中,由于对脑电信号数值进行了放大操作,所以只会对脑电信号产生较小的精度损失。为节省发送时间,进一步将二进制数转化为十六进制后进行发送,例如脑电信号数据中的-5.43,经过圆整后为-5,最后经过转化后为FFFB。本文通过UART传输协议进行脑电信号的传输,波特率为115 200 bit/s,数据帧由1位起始位、8位数据位、无校验位和1位停止位组成,在数据传输时,首先发送1位起始位,然后连续传输8个数据位和若干个停止位^[24],数据按照ASCII码的方式传输。

在FPGA端需要将脑电信号进行保存并实现

基于 FPGA 的脑电信号处理和特征识别,主要包含脑电信号数据的存取、信号处理及转换后脑电信号的特征识别。图 8 所示为数据处理流程,为保证数据处理过程的有序进行增加一个状态机,数据处理模块的主要状态分为数据保存、数据处理和特征识别,主要实现的操作如下。

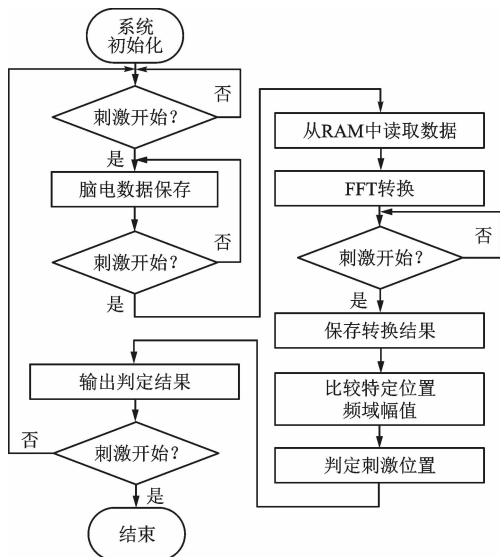


图 8 FPGA 数据处理流程

(1) 当 FPGA 供电或复位后状态机控制当前为数据保存状态,并设置为只在 FPGA 端接收到开始指令冒号“:”后才可进行数据保存操作。在接收到数据保存指令后,数据处理模块等待数据输入标志位(由 FPGA 数据接收模块接收到单个数据点传输完成指令后产生)上升沿,每获得一个数据输入标志位上升沿后进行一次数据保存,并在数据输入标志位下降沿实现对保存地址累加,直至所有数据全部保存完毕。数据保存过程为:在 FPGA 端按照 ASCII 码的方式将获得的数据位进行译码转换,得到 16 位脑电数据中的 4 位,按照数据传输顺序将 16 位脑电数据通过位拼接的方式还原。本文以空格作为一个脑电信号传输完成的结束标志,所以在接收到空格后在数据接收模块产生一位数据接收完毕标志,输出脑电数据,并在 FPGA 数据处理模块中将脑电数据保存在 FPGA 的内部 RAM。由于本文对脑电数据只在不同时段进行保存和读取,因而将脑电信号存储在 RAM 中的存取模式设置为 Simple Dual-port RAM。数据采集达到设定的采样时间后,在计算机端发送指定的结束指令分号“;”结束当前数据采集和发送操作;对数据保存结束标志置位,并由数据处理模块传入到下一级的状态控制模块。

(2) 对于脑电信号的处理,常规谱分析方法有小波分析、自回归模型和典型相关分析等,与傅里叶变换相比,这些方式更依赖于假设和参数的选择,在本设计应用中,这些限制相对较为苛刻,相比之下傅里叶变换更为实用^[21],所以本文主要通过傅里叶变换实现对稳态视觉诱发电位固定频率的分析。

任何连续信号或离散信号都可以用离散傅里叶变换(DFT)的方式分析,由傅里叶变换所得到的频域信息与原信号一致,不同的仅是信息的表示方式^[25]。DFT 的定义式为

$$F(n) = \sum_{k=0}^{N-1} f(k)W_N^{kn} \quad (1)$$

式中: $f(k)$ 为周期离散序列; N 为采样点数;积分限为 $0 \sim N-1$; W_N^{kn} 为权函数。

快速傅里叶变换(FFT)是 DFT 的一种快速算法,本文考虑 FPGA 可实现并行运算的优势,使用 FFT 算法进行脑电信号的处理。FFT 的实质是利用权函数 W_N^{kn} 的对称性和周期性,将 N 个点的 DFT 进行一系列分解组合,使整个 DFT 的计算过程变为一系列的迭代运算过程。对于 $N=2^l$ 的 FFT 算法,分解过程为将 $N \times N$ 的矩阵分解为 l 个矩阵,使被分解的每个矩阵具有复数乘法和加法次数最少的特性,从而当 N 很大时,会成百上千倍减少计算量^[26]。这与 FPGA 并行运行特性正好契合,所以本文使用 FPGA 完成 FFT 变换,将脑电信号转换到频率域进行分析。

设置脑电信号采样频率为 $F_s=512$ Hz,要识别的脑电信号频率在 $7 \sim 15$ Hz 之间,采样时间为 2 s,间隔为 2 s,总共采样 20 次,则每次采集到的数据点数为 1 024,此时频率分辨率为 0.5 Hz。为提高频率分辨率,在计算机端 2 s 时长脑电信号发送结束后,在 FPGA 端在脑电数据点进行补零操作,最终获得的数据点数为 2 048,此时频率分辨率可达 0.25 Hz。在 FPGA 端通过 FFT 变换后得到频域信号,幅值可以直接通过复数求模计算,每个点对应的频率由每个点的位置确定。其中,第 1 个点为直流分量,其频率为 0 Hz,第 n 个点的频率为

$$F_n = (n-1)F_s/N \quad (2)$$

式中: F_n 为第 n 个点对应的频率。

在 FPGA 端当状态控制模块接收到结束标志信号后,状态机将当前状态转换为 FFT 数据运算状态,开始从 RAM 中读取脑电数据并按照连续的时钟上升沿传入 FFT 核中进行转换。等待 FFT 转换完成,在数据开始输出时,将转换后的结果保存在

RAM 中,完成上述操作后通过 FFT 转换结束标志控制状态,控制模块跳转到数据处理状态;

(3)在脑电信号特征识别状态对 FFT 转换后的结果进行进一步处理,得到每个闪烁频率对应的脑电信号频率响应。本文对刺激目标对应的频率位置幅值进行比较,考虑 0.25 Hz 的频率分辨率和非整周期截断影响,将刺激目标对应的频率和邻近的两个频率的幅值纳入到比较的范围,即将 8.5、8.75、9.75、10、10.25、11.75、12、12.25、14.75、15 和 15.25 Hz 中各点频率域峰值进行比较,将其中最大值对应的闪烁频率所属(或邻近)的刺激单元判定为使用者所注视的刺激。

2 实验验证

完成系统设计后,需要对视觉刺激器闪烁频率和整个系统对脑电信号特征识别的效果进行实验验证。设计在 Xilinx 的 Kintex-7 系列芯片上进行验证,具体型号为 XC7K325T-2FFG900C。

2.1 视觉刺激器诱发效果验证

本文通过显示帧分频获得视觉刺激器闪烁频率,闪烁频率相对较为精确,并且由于 FPGA 视觉刺激器独立于其他模块运行,受到其他时序干扰也较小。但是,刺激器的显示效果会受到硬件电路延时、VGA 驱动时钟精度等因素的影响,致使显示频率不准确,所以在设计完成 VGA 视觉刺激器后需要对其进行实验验证。

本文对视觉刺激器频率的验证采用 g. TRIG-box 型设备及光敏传感器对刺激范式的红、黑闪烁进行采集,其中刺激范式显示红色时,采集到的数值为 1,刺激范式显示为黑色时,采集到的数值为 0,采样率为 512 Hz,然后将采集到的数据通过 g. USBamp 传输到计算机端进行分析。实验方式为:对 4 个视觉刺激单元中的任意一个进行 10 次采样,每次刺激时间持续 4 s,间隔 2 s,将获得的数据进行 FFT 变换,分析所得的频域成分。

2.2 脑电信号特征识别效果验证

对图 1 所示整个系统的验证需要联合硬件和软件共同完成,各部分之间的关系如图 9 所示,计算机和被试者之间由脑电采集设备对脑电信号进行采集。计算机通过串口向 FPGA 发送刺激开始和结束控制指令,并在发送完开始控制指令后将刺激过程中采集的脑电信号进行预处理并发送到 FPGA;FPGA 与视觉刺激器之间通过 VGA 接口传输范式显示的视频信号,通过显示在视觉刺激器上的红、黑

闪烁对被试者进行视觉刺激。验证前,首先在硬件方面进行 FPAG 与计算机之间的串口连接,FPGA 与视觉刺激器之间通过 VGA 线连接等。在软件方面,本文需要的程序有 FPGA 端相关程序以及计算机端脑电信号采集发送程序,FPGA 端相关程序在设计过程中已经经过调试,实验前直接输入 FPGA 开发板 SPI Flash 存储器(型号为 S25FL256S);计算机端脑电数据的采集及发送依托 MATLAB 平台完成,通过 MATLAB 编程实现计算机与 FPGA 之间的指令及脑电信号串口传输。

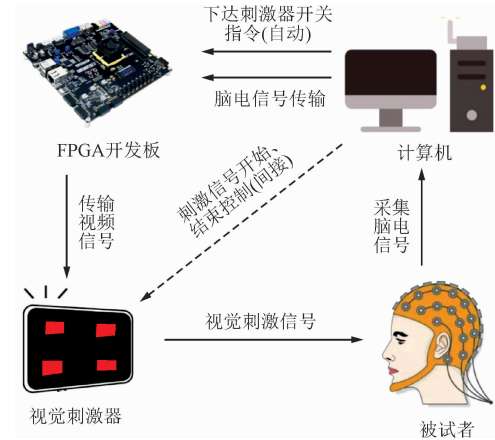


图 9 系统实验平台框架

实验前按照实验要求进行各部分连接,实验操作者在实验前为被试者佩戴电极帽、涂导电膏并进行阻抗检测等,检验计算机与 FPGA 的通信情况。完成上述步骤后开始实验,验证实验场景如图 10 所示,在信号采集计算机端运行 MATLAB 程序,系统开始运行,被试者在眼睛距离视觉刺激器 50~80 cm 的位置注视视觉刺激单元。本实验对设置的每个刺激单元分别进行实验验证,为了满足实际应用场景和提高系统执行效率,在保证获得较高识别正确率的前提下提高系统的反应速度,将刺激时间设置为 2 s,间隔 2 s,每个刺激单元呈现 20 次。实验过程中,待被试者调整好状态后,操作者提醒被试者

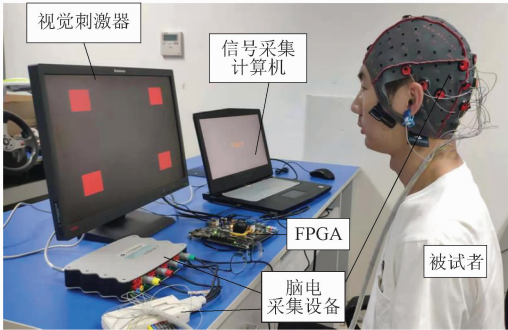


图 10 验证实验场景图

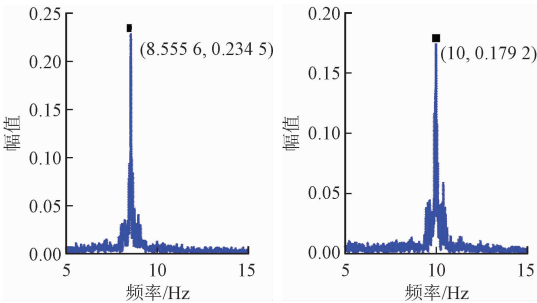
实验开始,操作者运行 MATLAB 程序开始实验,完成单个刺激单元呈现后,进行数据保存和特征识别及结果显示,此后开始下一次实验,直至完成所有刺激单元的实验任务。

3 结果分析

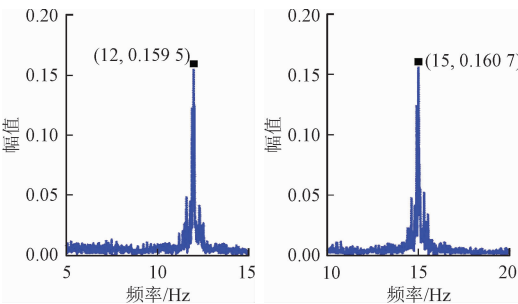
3.1 视觉刺激器实验及验证分析

本文对 4 个刺激单元闪烁频率分别进行了验证,采用 g. TRIGbox 及光敏传感器对刺激单元的红、黑闪烁信号进行采样,然后对获得的数据进行处理。在 10 次采样中,受计算机硬件及运行状况等因素影响,整个过程持续约 72 s,本文取 72 s 的数据进行 FFT 变换,获得的频谱如图 11 所示。由图可知,视觉刺激器的频谱图峰值所在频率为 8.556、10、12 和 15 Hz,与设置值 8.57、10、12 和 15 Hz 基本一致,在此过程中,受各种因素如时钟精度的影响,视觉刺激器的频率会出现一定偏差,偏差在设置的识别频率范围内时,对最终的实验结果影响相对较小。

本文通过 VGA 协议实现 FPGA 对视觉刺激器的控制,在 FPGA 端按照 VGA 传输协议,用硬件描述语言编程的方式实现了视觉刺激器的设计,通过实验的方式验证了视觉刺激器的刺激效果。由此可见,本文设计的视觉刺激器能够实现频率准确的翻转刺激呈现,能够用于 SSVEP 信号的诱发实验。



(a)8.57 Hz 刺激幅频图 (b)10 Hz 刺激幅频图



(c)12 Hz 刺激幅频图 (d)15 Hz 刺激幅频图

图 11 4 种频率视觉刺激的频谱

3.2 系统实验及结果分析

对基于 FPGA 的脑电信号处理和特征识别效果进行验证。取图 7 所示 O_z 通道视觉脑电信号进行实验,选择 3 名男性和 2 名女性,不同的被试者在 20 次实验中针对不同频率刺激单元的识别正确率和信息传输率(ITR)如表 2 所示,其中在 5 名被试者中,对于 4 个刺激目标的识别平均正确率为 85.25%,并且在 2 s 的刺激时间的情况下,平均信息传输率为 37.41 bit/min。分析可知,本文提出的 SSVEP-BCI 系统可以达到较高的识别正确率。在后续设计中可以对系统进行优化,以更好地适应不同的 BCI 应用场景。

表 2 本文提出的 SSVEP-BCI 系统识别正确率表

被试者	正确率/%					信息传输率/(bit·min ⁻¹)
	目标 1	目标 2	目标 3	目标 4	平均	
HB	80	75	65	55	68.75	18.26
HXL	90	90	80	75	83.75	33.07
ZYB	90	95	80	55	80.00	28.83
DWQ	100	100	100	100	100.00	60.00
DYF	100	100	95	80	93.75	46.91
总平均					85.25	37.41

4 结 论

本文设计的基于 FPGA 的 SSVEP-BCI 系统提供了一种基于 FPGA 的 SSVEP-BCI 系统实现方案。实现了基于 FPGA 的视觉刺激器设计,并对刺激显示频率进行了实验验证,表明所设计的视觉刺激器可以实现较好的刺激效果,能够用于 SSVEP 信号的有效诱发。本文还实现了基于 FPGA 的 SSVEP 信号处理和特征识别,并通过实验对所设计的整个系统进行了验证,表明本文设计的基于 FPGA 的脑电信号特征识别方案具有较好的脑电信号识别效果。

参考文献:

[1] LEBEDEV M A, NICOLELIS M A L. Brain-machine interfaces: past, present and future [J]. Trends in Neurosciences, 2006, 29(9): 536-546.

[2] VAID S, SINGH P, KAUR C. EEG signal analysis for BCI interface: a review [C]// 2015 Fifth International Conference on Advanced Computing & Communication Technologies. New York, USA: IEEE, 2015: 1-6.

- [3] 姜雷, 张海, 张岚, 等. 脑机接口研究之演化及教育应用趋势的知识图谱分析: 基于 1985—2018 年 SCI 及 SSCI 期刊论文研究 [J]. 远程教育杂志, 2018, 36(4): 27-38.
JIANG Lei, ZHANG Hai, ZHANG Lan, et al. Mapping knowledge domains analysis on evolution of BCI and potential application in educational field: based on journals of SCI and SSCI from 1985 to 2018 [J]. Journal of Distance Education, 2018, 36(4): 27-38.
- [4] JENSEN O, BAHRAMISHARIF A, OOSTENVELD R, et al. Using brain-computer interfaces and brain-state dependent stimulation as tools in cognitive neuroscience [J]. Frontiers in Psychology, 2011, 2: 100.
- [5] HE B, BAIRD R, BUTERA R, et al. Grand challenges in interfacing engineering with life sciences and medicine [J]. IEEE Transactions on Biomedical Engineering, 2013, 60(3): 589-598.
- [6] FRISOLI A, LOCONSOLE C, LEONARDIS D, et al. A new gaze-BCI-driven control of an upper limb exoskeleton for rehabilitation in real-world tasks [J]. IEEE Transactions on Systems, Man, and Cybernetics: Part C Applications and Reviews, 2012, 42(6): 1169-1179.
- [7] VAN DE LAAR B, GURKOK H, PLASS-OUDE BOS D, et al. Experiencing BCI control in a popular computer game [J]. IEEE Transactions on Computational Intelligence and AI in Games, 2013, 5(2): 176-184.
- [8] DOBKIN B H. Brain-computer interface technology as a tool to augment plasticity and outcomes for neurological rehabilitation [J]. The Journal of Physiology, 2007, 579(3): 637-642.
- [9] 吴海静. 基于 FPGA 的实时脑机接口应用研究 [D]. 重庆: 重庆大学, 2012: 1-8.
- [10] 胥凯. 植入式脑机接口中神经元重要性评估及锋电位的高效解码 [D]. 杭州: 浙江大学, 2015: 1-5.
- [11] 韩彬, 于潇宇, 张雷鸣. FPGA 设计技巧与案例开发详解 [M]. 北京: 电子工业出版社, 2016: 1-26.
- [12] 赵兴平. 基于单通道脑机接口的智能轮椅控制及人机交互研究 [D]. 哈尔滨: 哈尔滨工业大学, 2017: 1-13.
- [13] 王洪涛. 混合脑机接口实现及其应用研究 [D]. 广州: 华南理工大学, 2015: 1-4.
- [14] 王永, 何庆华, 田逢春, 等. 基于 FPGA 的脑机接口实时系统 [J]. 电子技术应用, 2009, 35(4): 133-136.
WANG Yong, HE Qinghua, TIAN Fengchun, et al. Real-time system of brain-computer interface based on FPGA [J]. Application of Electronic Technique, 2009, 35(4): 133-136.
- [15] WIJESINGHE L P, WICKRAMASURIYA D S, PASQUAL A A. A generalized preprocessing and feature extraction platform for scalp EEG signals on FPGA [C]//2014 IEEE Conference on Biomedical Engineering and Sciences (IECBES). Piscataway, NJ, USA: IEEE, 2014: 1-6.
- [16] SHYU K K, LEE P L, LEE M H, et al. Development of a low-cost FPGA-based SSVEP BCI multimedia control system [J]. IEEE Transactions on Biomedical Circuits and Systems, 2010, 4(2): 125-132.
- [17] WOLPAW J R, WOLPAW E W. 脑-机接口原理与实践 [M]. 伏云发, 杨秋红, 徐宝磊, 等译. 北京: 国防工业出版社, 2017: 312-316.
- [18] WANG R P, GAO X R, GAO S K. Frequency selection for SSVEP-based binocular rivalry [C]//Proceedings of 2nd International IEEE EMBS Conference on Neural Engineering. Piscataway, NJ, USA: IEEE, 2005: 5-8.
- [19] STAWICKI P, GEMBLER F, REZEIKA A, et al. A novel hybrid mental spelling application based on eye tracking and SSVEP-based BCI [J]. Brain Sciences, 2017, 7(12): 35-52.
- [20] CHEN X G, ZHAO B, WANG Y J, et al. Combination of high-frequency SSVEP-based BCI and computer vision for controlling a robotic arm [J]. Journal of Neural Engineering, 2019, 16(2): 026012.
- [21] 边宏亮. 基于 FPGA 的脑电分析算法研究与实现 [D]. 沈阳: 东北大学, 2011: 1-4.
- [22] XIE J, XU G H, WANG J, et al. Steady-state motion visual evoked potentials produced by oscillating Newton's rings: implications for brain-computer interfaces [J]. PLoS One, 2012, 7(6): e39707.
- [23] LEE P L, YE H C L, CHENG J Y S, et al. An SSVEP-based BCI using high duty-cycle visual flicker [J]. IEEE Transactions on Biomedical Engineering, 2011, 58(12): 3350-3359.
- [24] 杨娇娇. 机载红外照相机姿态惯性测量系统硬件平台设计 [D]. 南京: 南京理工大学, 2014: 45-51.
- [25] LAO Y J, PARHI K K. Canonic FFT flow graphs for real-valued even/odd symmetric inputs [J]. EURASIP Journal on Advances in Signal Processing, 2017, 2017: 45.
- [26] 陈生潭, 郭宝龙, 李学武, 等. 信号与系统 [M]. 4 版. 西安: 西安电子科技大学出版社, 2014: 259-260.

(编辑 杜秀杰)